

АРХИТЕКТУРА И ВЫБОР КОМПОНЕНТОВ ДЛЯ ПРИЛОЖЕНИЙ SDR

Кайденко Н.Н., Роскошный Д.В.

Научно-исследовательский институт телекоммуникаций

КПИ имени Игоря Сикорского, Украина, Киев

E-mail: kkk610@ukrl.net

Architecture and components selecting for SDR applications

The general requirements for SDR systems and methods for their implementation on the Intel SoC platform and radio modules of Analog Devices using software of manufacturing companies.

Концепция программно-определяемых радиосистем (SDR) предполагает, что в аналоговой части радиосистемы присутствуют только АЦП и ЦАП, а вся обработка сигналов, включающая в себя модуляцию, помехоустойчивое кодирование, реализацию адаптивных алгоритмов и т.д., производится программным способом [1].

Это позволяет использовать одну и ту же аппаратную платформу для реализации нескольких видов радиосистем.

В общем случае, требования к платформе, связанные со стоимостью, размерами и энергопотреблением, являются компромиссными, особенно в случае разработки систем, ориентированных на питание от батарей.

Хотя эти требования и являются компромиссными, тем не менее существует обобщенная архитектура программно-определяемых радиосистем.

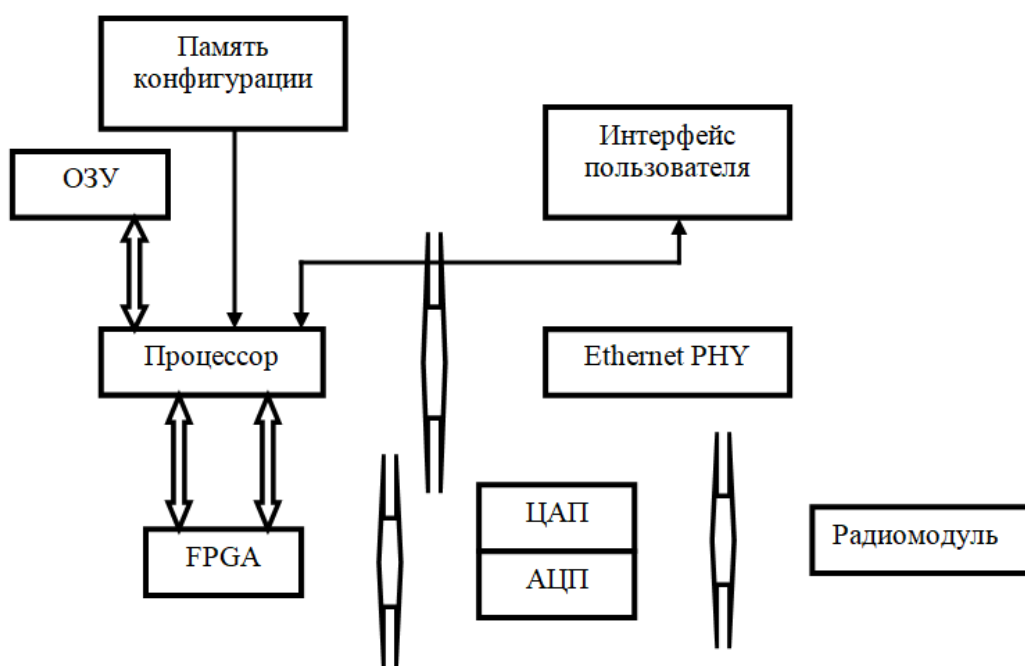


Рис.1. Упрощенная структурная схема программно-определяемой радиосистемы

Общими требованиями к системам SDR являются низкое энергопотребление (особенно в режиме ожидания), реконфигурируемость с достаточными ресурсами для обработки различных типов сигналов, таких как частотная манипуляция (FSK), квадратурная амплитудная модуляция (QAM), множественный доступ с кодовым разделением каналов (CDMA) и мультиплексирование с ортогональным частотным разделением (OFDM).

Также необходимо наличие внешних интерфейсов, например Ethernet.

Компания Analog Devices представила решение радиомодуля для программно-определяемых радиосистем. Разработанная для применения в различных областях, таких как военная электроника, измерительное оборудование и коммуникационная инфраструктура, микросхема приемопередатчика AD9364 сочетает в себе высокую степень интеграции, широкий диапазон рабочих частот и гибкость в управлении [2].

Применение таких настраиваемых однокристальных широкополосных радиочастотных модулей облегчает разработку аналоговой части SDR в диапазоне частот от 70 МГц до 6.0 ГГц.

AD9364 включает в себя входные и выходные каскады, блок аналого-цифровой обработки сигналов, синтезатор частот и цифровую схему управления, Всё это позволяет легко разработать программно-определяемую систему с внешним процессором.

Поддержка AD9364 осуществляется обширным набором вспомогательных ресурсов, что позволяет создавать программное обеспечение радиосистем с минимальными затратами времени [3].

В настоящее время в качестве внешних процессоров широко используются системы-на-кристалле (SoC). В общем случае SoC являются дальнейшим развитием технологии FPGA и представляют собой интегрированные в одном кристалле одно или несколько процессорных ядер, блок программируемой логической матрицы FPGA, а также аппаратно- или программно-реализованные модули управления периферийными устройствами.

В линейке SoC корпорации Intel (семейства Cyclone и Arria) в качестве процессорных ядер могут использоваться программные процессоры NIOS или интегрированные ядра ARM A9, что позволяет разрабатывать как чистые bare-metal приложения, так и приложения, работающие под управлением операционной системы Linux.

В последнем случае существенно упрощается обеспечение взаимодействия с внешними устройствами за счет использования существующих драйверов.

Блок программируемой логической матрицы FPGA используется в качестве реконфигурируемого аппаратного ускорителя при выполнении операций, связанных с цифровой обработкой сигналов – фильтрации, помехоустойчивого кодирования и т.д.

Системное проектирование на ПЛИС Altera проводится в приложении QSYS [4,5,6]. Это приложение упрощает процесс проектирования благодаря поднятию уровня абстракции при создании проекта (рис. 2).

Обмен данными между процессорным ядром и FPGA обычно осуществляется с использованием стеков типа FIFO (рис. 2), что позволяет обеспечивать обработку данных с разными тактовыми частотами.

Реконфигурация FPGA в зависимости от выбранного режима работы устройства проводится процессором путем подачи соответствующих команд, либо путем загрузки нового конфигурационного файла из соответствующей области памяти.

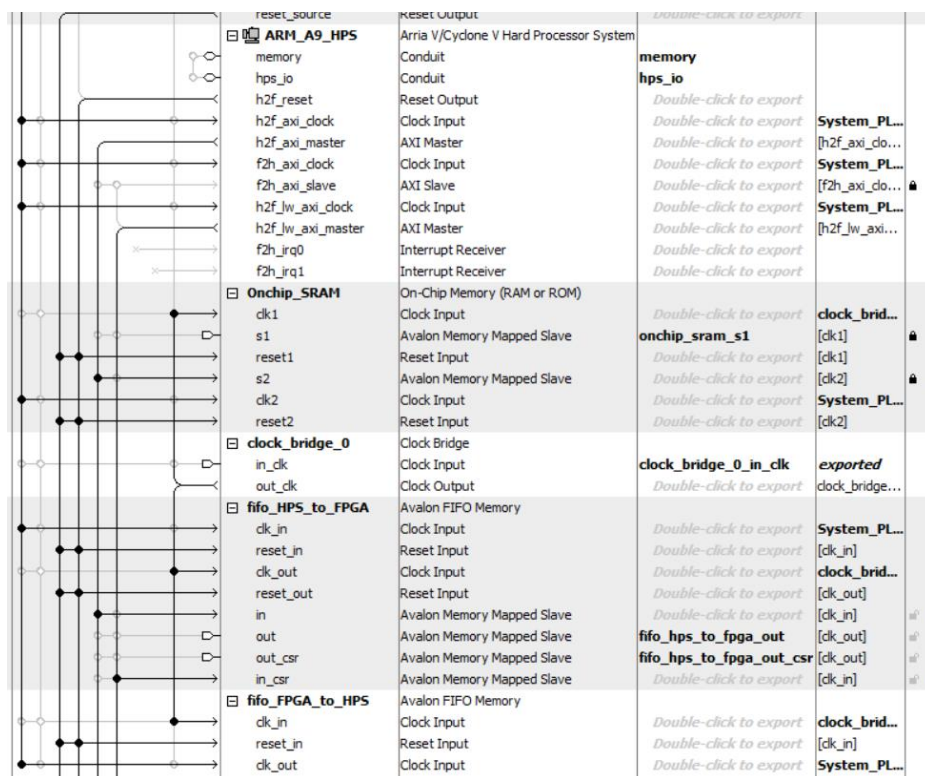


Рис. 2. Фрагмент приложения QSYS

Таким образом, алгоритмы обработки радиосигналов могут быть реализованы следующим образом: алгоритмически сложные, но менее скоростные задачи решаются с помощью процессора, а задачи с высокими требованиями к скорости обработки должны быть реализованы в FPGA.

Литература

1. Кайденко В.Н., Кайденко Н.Н., Крылач О.Ф., Роскошный Д.В. Организация взаимодействия между HPS и FPGA на базе SoC технологий при создании телекоммуникационных устройств. Проблемы телекоммуникаций : 10-а Міжнар. наук.-техн. конф., 19-22 квіт. 2016р. : матеріали конф. – К., 2016. – С. 254–256.
2. <https://wiki.analog.com/resources/eval/user-guides/ad-fmcomms2-ebz/ad9361>
3. <http://www.altera.com/literature/lit-cyclone-v.jsp>
4. www.rocketboards.org
5. Altera Cyclone V Device Handbook, Volume 3: Hard Processor System Technical Reference Manual.
6. Altera SoC Embedded Design Suite User Guide.