

РЕАЛИЗАЦИЯ КОНЦЕПЦИИ SDR НА ПЛАТФОРМЕ SoC

Кайденко Н.Н., Кайденко В.Н., Роскошный Д.В., Криlach О.Ф.

Научно-исследовательский институт телекоммуникаций

КПИ имени Игоря Сикорского, Украина, Киев

E-mail: kkk610@ukrl.net

Implementation of the SDR concept on the SoC platform

The general properties of the SoC platforms from the Altera and the design of the systems on their basis using the mezzanine board ARRADIO

В настоящее время разработка и применение систем-на-кристалле (SoC) является одним из наиболее перспективных направлений в разработке электронной техники.

В общем случае SoC являются дальнейшим развитием технологии FPGA и представляют собой интегрированные в одном кристалле процессорное ядро (ядра), блок программируемой логической матрицы FPGA, а также аппаратно или программно реализованные модули управления периферийными устройствами.

Внутренняя шина данных с высокой пропускной способностью (скорость обмена данными более 10 Гбит/с), соединяющая между собой процессорное ядро и логическую матрицу FPGA, позволяет управлять периферийными модулями и в некоторых случаях ускорить выполнение алгоритмов, повышая тем самым общую производительность системы. Такой уровень интеграции не только увеличивает производительность, но и снижает мощность потребления, размеры и стоимость конечного решения [1,2].

На сегодняшний день основными производителями аппаратно-программных средств для разработки SoC являются компании Xilinx и Altera, с недавнего времени являющаяся подразделением компании Intel.

Принципиальная особенность SoC - это наличие программируемых блоков (процессоров). Поэтому SoC – не просто интегральная схема, а комплекс, в состав которого входят как аппаратная часть (собственно кристалл), так и программная – встраиваемое программное обеспечение. Поэтому, при проектировании SoC необходимо выполнить операции по совместной верификации и отладке взаимодействия программной и аппаратной частей.

Следует отметить возможность создания SoC с использованием различных типов процессоров, реализованных на кристалле. Так, в продукции Altera используются аппаратные процессорные блоки ARM CORTEX A9 и программно реализуемый (soft-processor) NIOSII

Упрощенная структурная схема SoC представлена на рис 1.

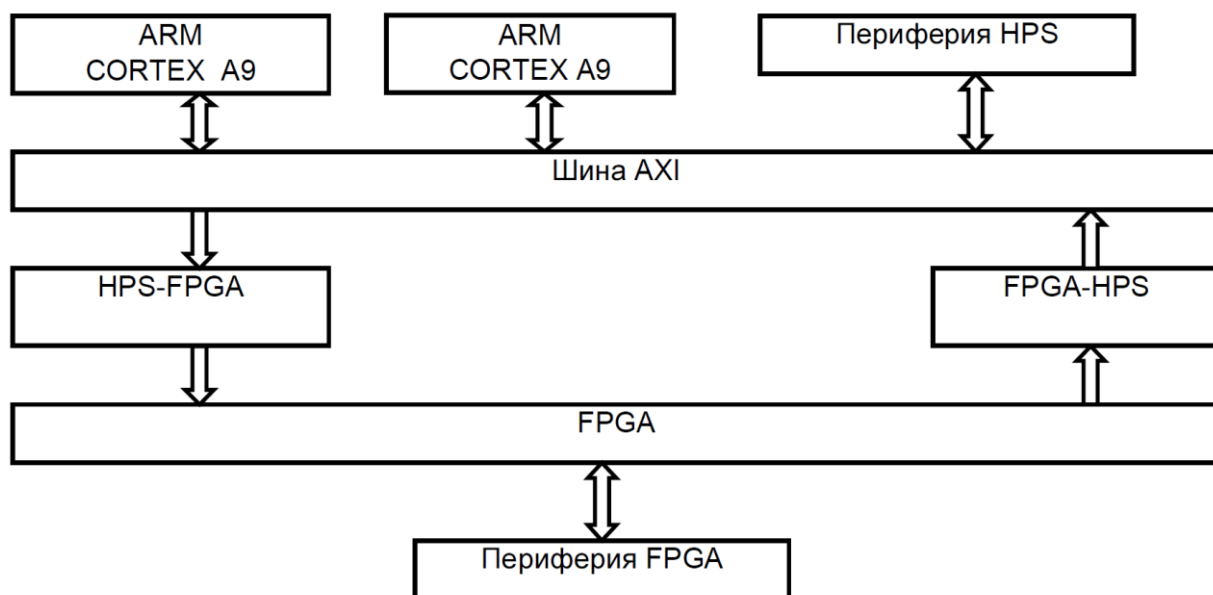


Рис. 1. Упрощенная структурная схема SoC.

Концепция программно-определяемых радиосистем (SDR) предполагает, что в аналоговой части радиосистемы присутствуют только АЦП и ЦАП, а вся обработка сигналов, включающая в себя модуляцию, помехоустойчивое кодирование, реализацию адаптивных алгоритмов и т.д., производится программным способом.

Компания Analog Devices представила решение для программно-определяемых радиосистем. Разработанная для применения в различных областях, таких как военная электроника, измерительное оборудование и коммуникационная инфраструктура, новая микросхема приемопередатчика AD9361 сочетает в себе высокую степень интеграции, широкий диапазон рабочих частот и гибкость.

Поддержка AD9361 осуществляется обширным набором вспомогательных ресурсов, включая программный комплекс управления и мезонинный модуль ARRADIO, позволяет создавать программное обеспечение радиосистем с минимальными затратами времени [3].

Работающая в диапазоне частот от 70 МГц до 6 ГГц микросхема AD9361 объединяет множество различных функций на одном кристалле, и полностью программируется на уровне каждого функционального узла.

Системное проектирование на ПЛИС Altera проводится в приложении QSYS [4,5]. Это приложение упрощает сложное системное проектирование благодаря поднятию уровня абстракции при создании проекта.

Вместо того, чтобы проектировать на уровне сигналов, QSYS позволяет проектировать на уровне системного компонента и обеспечивает стандартную платформу для объединения IP-ядер и создания собственной логики.

Это делает возможным повторное использование проекта, позволяя создавать собственные IP ядра, которые могут быть снова использованы в других проектах.

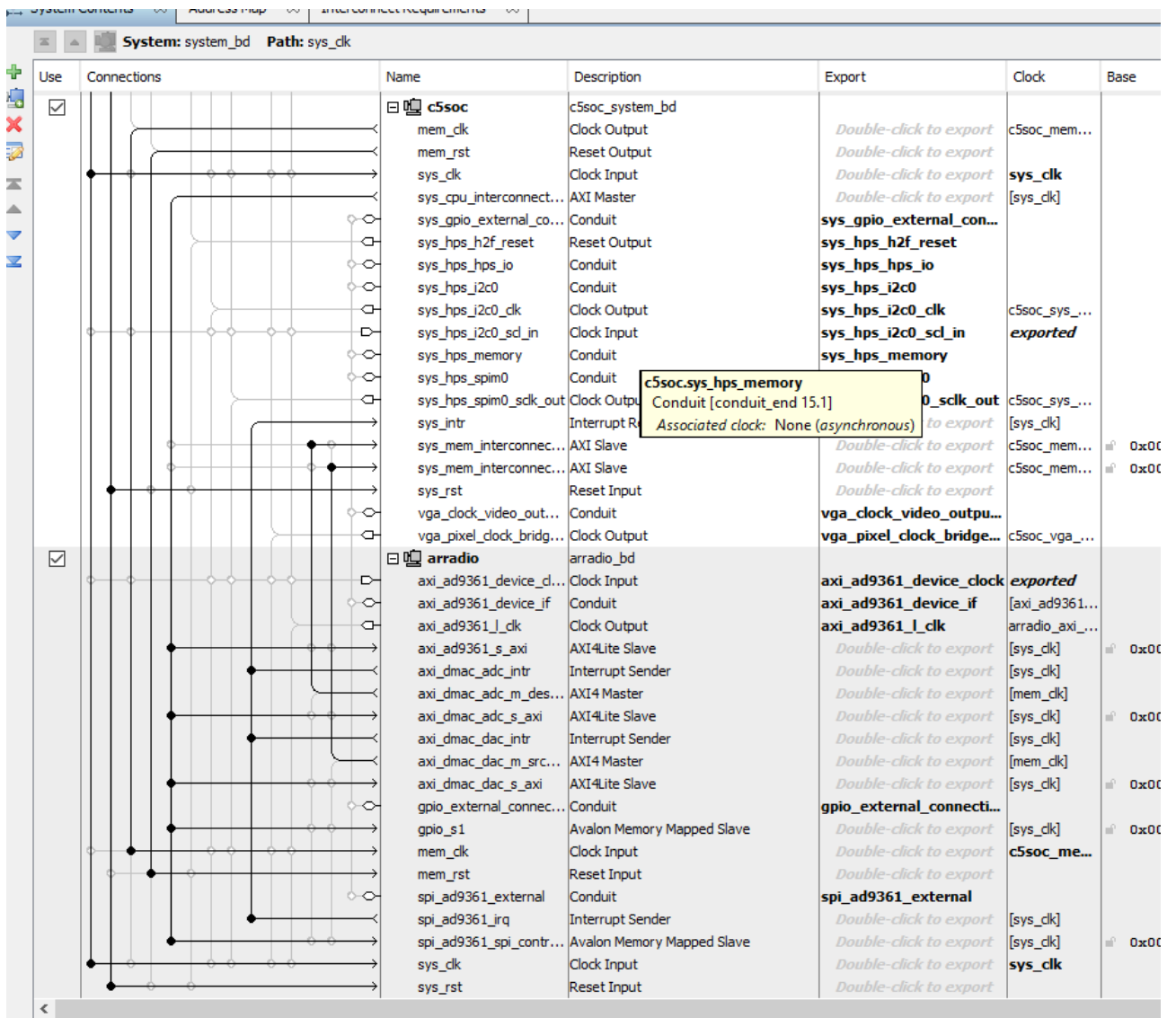


Рис. 2. Фрагмент приложения QSYS.

Оболочка QSYS масштабируема, поэтому можно применять иерархический подход к системному проектированию. Как следствие из вышеперечисленного - сокращение времени выхода продукта на рынок благодаря уменьшению времени разработки, сокращению количества ошибок, упрощению процесса проверки при объединении системы.

Литература

1. <http://www.altera.com/literature/lit-cyclone-v.jsp>.
2. Кайдено В.Н., Кайдено Н.Н., Крылач О.Ф., Роскошный Д.В. Организация взаимодействия между HPS и FPGA на базе SoC технологий при создании телекоммуникационных устройств. Проблемы телекоммуникаций : 10-а Міжнар. наук.-техн. конф., 19-22 квіт. 2016р. : матеріали конф. – К., 2016. – С. 254–256.
3. www.rocketboards.org.
4. Altera Cyclone V Device Handbook, Volume 3: Hard Processor System Technical Reference Manual.
5. Altera SoC Embedded Design Suite User Guide.