

ПІДВИЩЕННЯ ЕФЕКТИВНОСТІ ВИКОРИСТАННЯ ОБЛАДНАННЯ КАНАЛУ ЗВ'ЯЗКУ БЕЗПЛОТНОГО ЛЕТАЛЬНОГО АПАРАТУ

Кайденко М.М., Роскошний Д.В.

Навчально-науковий інститут телекомунікаційних систем

КПІ ім. Ігоря Сікорського, Україна

E-mail: kkk610@ukrl.net

IMPROVING THE EFFICIENCY OF USING THE UAV COMMUNICATION CHANNEL EQUIPMENT

The possibility of using partial dynamic reconfiguration of a part of the UAV radio path to expand its functionality is considered.

Протягом останніх років завдяки швидкому розвитку технологій безпілотні літальні апарати (БПЛА) стають все більш ефективними та використовуються в різних сферах – від дитячих іграшок до військових застосувань .

Оскільки передача команд управління та зібраних даних, якими можуть бути записані відео та фото або інша інформація, зібрана при виконанні польотного завдання, здійснюється через канал зв'язку між БПЛА та наземною станцією керування, канал передачі даних БПЛА повинен забезпечити високі швидкість та надійність передачі даних.

Канал зв'язку БПЛА є ключовим фактором, який може вплинути на продуктивність лінії передачі даних з точки зору високої швидкості передачі даних і надійної передачі інформації. Для виконання цих вимог найбільш перспективним є побудова каналів зв'язку на базі програмно-визначених радіосистем (Software Defined Radio).

Програмно визначені радіосистеми (SDR) - це системи радіозв'язку, де компоненти, реалізуються за допомогою вбудованих систем, в яких обчислювальні елементи побудовані на сучасних пристроях обробки сигналів, таких як процесори загального призначення (GPP), цифрові сигнальні процесори (DSP), програмовані логічні інтегральні схеми (FPGA), системи-на-кристалі (SoC) та ін.

У загальному випадку SoC є подальшим розвитком технології FPGA і являють собою інтегровані в одному кристалі процесорне ядро (ядра), блок програмованої логічної матриці FPGA, а також апаратно або програмно реалізовані модулі управління периферійними пристроями.

Використання SoC в програмно визначених радіосистемах надає розробникам та користувачам ряд істотних переваг , а саме:

- можливість застосовувати різні методи модуляції з використанням одного загального набору апаратних засобів;
- можливість змінювати функціональність пристрою лише змінюючи програмне забезпечення;
- можливість адаптивного вибору режиму роботи пристрою, що найкраще відповідає поточним умовам його експлуатації.

Основна особливість FPGA — можливість багаторазового перепрограмування. Це покладено в основу створення цифрових пристроїв і навіть потужних обчислювальних систем, архітектура яких має властивість реконфігурації в залежності від визначених умов з метою збільшення продуктивності обчислень.

Такі системи належать до класу реконфігурованих обчислювальних систем (POC, Reconfigurable Computer, RC), основна концепція їх створення – забезпечення адаптивності архітектури до класів вирішуваних задач [3, 4].

При використанні сучасних FPGA існує можливість динамічно переналаштовувати їх частини (одну або декілька) під час роботи без необхідності зупиняти пристрій. Ця функція називається динамічною частковою реконфігурацією.

Динамічна часткова реконфігурація забезпечує гнучкі можливості зміни ключових функцій пристрою «на льоту», тоді як решта системи на FPGA залишається в робочому стані.

Розробники можуть зберігати різні функції у зовнішній пам'яті та завантажувати їх у FPGA у міру необхідності, знижуючи тим самим розмір вентиляційної матриці та енергоспоживання пристрою.

Використання радіоканалу БПЛА в умовах дії навмисних завад потребує переналаштування параметрів каналу. Таке переналаштування може бути здійснено за наперед заданим алгоритмом, тобто зміною частот обміну за визначеним законом.

При застосуванні такого алгоритму існує ймовірність того, що наступна частота теж належить до смуги дії завади.

За умови критичного погіршення параметрів каналу зв'язку для аналізу параметрів завади та пошуку вільної частини спектру пропонується провести спектральний аналіз можливого діапазону роботи каналу зв'язку.

Для проведення цього аналізу може бути використано відповідний блок, який введено до структури SoC на початковому етапі (рис 1), або проведено динамічну часткову реконфігурацію частини SoC, що працює в складі SDR, а саме FPGA (рис 2).

Мета цієї реконфігурації – заміна блоку модема на блок спектроаналізатора, що дозволить провести аналіз наявності завад в можливому діапазоні роботи каналу зв'язку.



Рис. 1. Початкова структура частини FPGA.

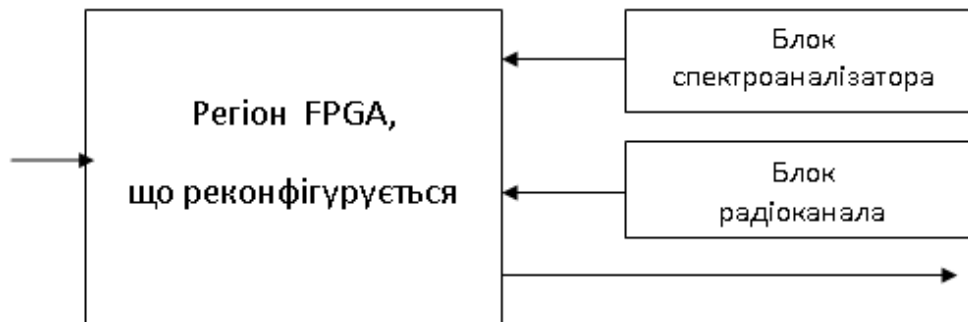


Рис. 2. Структура частини FPGA з використанням часткової реконфігурації.

Потрібно відзначити, що блоків для реконфігурації може бути декілька. В такому випадку використання часткової реконфігурації дозволяє зменшити об'єм та, відповідно, вартість кристалу SoC та значно підвищити функціональні можливості БПЛА.

Література

1. Кайденко, М. М., & Роскошний, Д. В. (2018). АРХІТЕКТУРА ПРОГРАМНО-ВИЗНАЧУВАНИХ РАДІОСИСТЕМ ДЛЯ РОЗРОБКИ РАДІООБЛАДНАННЯ. *Збірник матеріалів Міжнародної науково-технічної конференції «ПЕРСПЕКТИВИ ТЕЛЕКОМУНІКАЦІЙ»*. вилучено із <http://conferenc.its.kpi.ua/proc/article/view/131302>.
2. Гетьман, О. В. ., Кайденко, М. М. ., & Роскошний, Д. В. . (2021). ЗАГРОЗИ БЕЗПЕЦІ ТА ПРОБЛЕМИ ВРАЗЛИВОСТІ БЕЗПІЛОТНИХ ЛІТАЛЬНИХ АПАРАТІВ . *Збірник матеріалів Міжнародної науково-технічної конференції «ПЕРСПЕКТИВИ ТЕЛЕКОМУНІКАЦІЙ»*, 180–182. вилучено із <http://conferenc.its.kpi.ua/proc/article/view/230694>.
3. Partial Reconfiguration IP Core / 101 Innovation Drive, San Jose, CA 9513 <https://cdrdv2.intel.com/v1/dl/getContent/666325?fileName=ug-partrecon-683404-666325.pdf>
4. Intel® Quartus® Prime Standard Edition User Guide: Partial Reconfiguration Intel® FPGA IP / <https://www.intel.com/content/www/us/en/docs/programmable/683404/current/partial-reconfiguration-ip-core.html>