

ОРГАНИЗАЦИЯ ВЗАИМОДЕЙСТВИЯ МЕЖДУ HPS И FPGA В УСТРОЙСТВАХ НА ПЛАТФОРМЕ SoC

Кайденко Н.Н., Роскошный Д.В.

Научно-исследовательский институт телекоммуникаций

КПИ имени Игоря Сикорского, Украина, Киев

E-mail: kkk610@ukrl.net, ddd610@ukrl.net

Organization of HPS and FPGA interaction in devices on the SoC platform

The general requirements for interaction SoC system components and methods for their implementation on the Intel SoC platform using AXI bus.

В настоящее время разработка и применение систем-на-кристалле (SoC) является одним из наиболее перспективных направлений в разработке электронной техники.

В общем случае SoC являются дальнейшим развитием технологии FPGA и представляют собой интегрированные в одном кристалле процессорное ядро (ядра), блок программируемой логической матрицы FPGA, а также аппаратно или программно реализованные модули управления периферийными устройствами.

Внутренняя шина данных с высокой пропускной способностью (скорость обмена данными более 10 Гбит/с), соединяющая между собой процессорное ядро и логическую матрицу FPGA, позволяет управлять периферийными модулями и в некоторых случаях ускорить выполнение алгоритмов, повышая тем самым общую производительность системы. Такой уровень интеграции не только увеличивает производительность, но и снижает мощность потребления, размеры и стоимость конечного решения [1,2].

На сегодняшний день основными производителями аппаратно-программных средств для разработки SoC являются компании Xilinx и Altera, с недавнего времени являющаяся подразделением компании Intel.

Принципиальная особенность SoC - это наличие программируемых блоков (процессоров). Поэтому SoC – не просто интегральная схема, а комплекс, в состав которого входят как аппаратная часть (собственно кристалл), так и программная – встраиваемое программное обеспечение. Поэтому, при проектировании SoC необходимо выполнить операции по совместной верификации и отладке взаимодействия программной и аппаратной частей[3].

Следует отметить возможность создания SoC с использованием различных типов процессоров, реализованных на кристалле. Так, в продукции Altera используются аппаратные процессорные блоки ARM CORTEX A9 и программно реализуемый (soft-processor) NIOSII

Упрощенная структурная схема SoC представлена на рис 1.

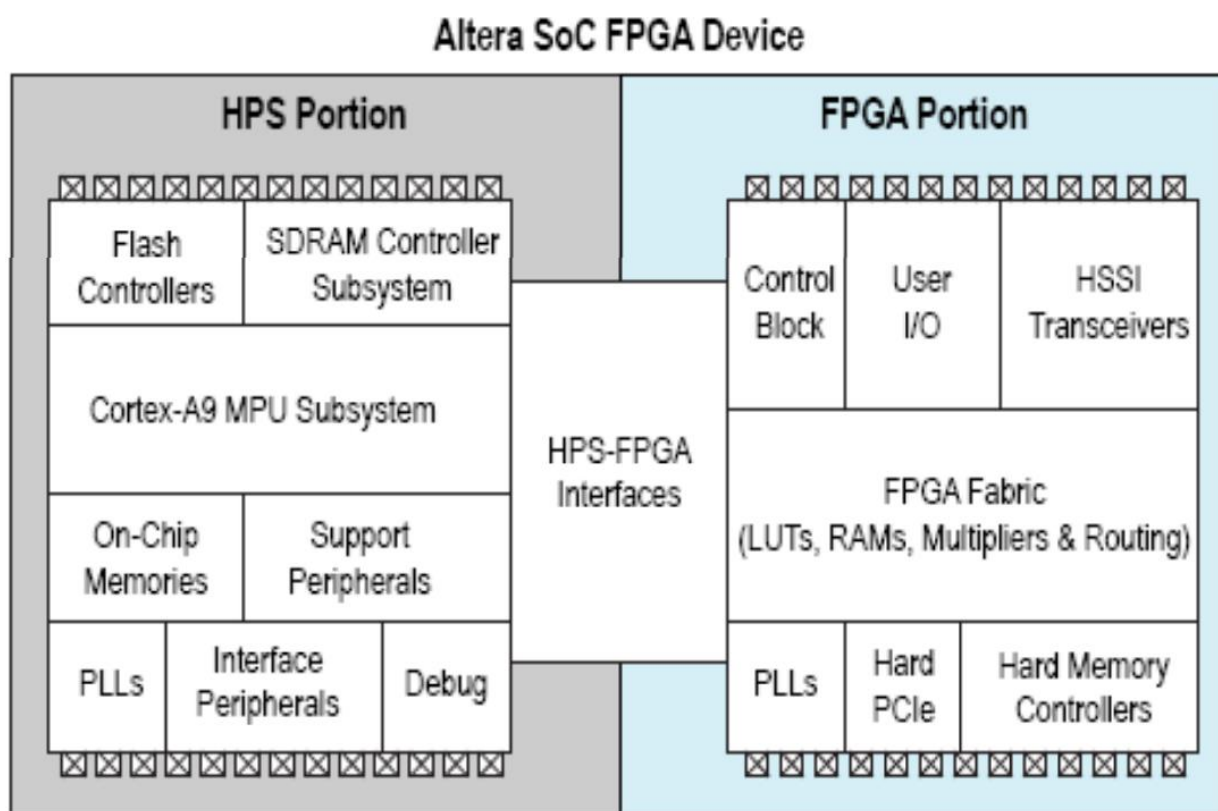


Рис.1. Упрощенная структурная схема SoC.

В Intel SoC FPGA логика HPS и матрица FPGA соединяются через мост AXI (Advanced eXtensible Interface). Чтобы логика HPS могла взаимодействовать с матрицей FPGA, необходимо использовать инструмент системной интеграции Intel Platform Designer (ранее QSYS) при проектировании системы для добавления компонента HPS. Из главного порта AXI компонента HPS она может получить доступ к тем компонентам QSYS, чьи подчиненные порты с отображением в памяти подключены к главному порту[4,5].

HPS поддерживает следующие мосты AXI:

Мост FPGA-HPS (FPGA-to-HPS bridge) - высокопроизводительный интерфейс AXI с настраиваемой шириной данных 32, 64 и 128 бит, что позволяет матрице ПЛИС управлять транзакциями для подчиненных в HPS.

Мост HPS-FPGA (HPS-to-FPGA bridge) - высокопроизводительный интерфейс AXI с настраиваемой шириной данных 32, 64 и 128 бит, что позволяет HPS управлять транзакциями для подчиненных в матрице FPGA.

Облегченный мост HPS-FPGA (Lightweight HPS-to-FPGA bridge) - интерфейс AXI с 32-разрядной фиксированной шириной данных, что позволяет HPS управлять транзакциями для подчиненных в матрице ПЛИС.

На рисунке 2 показана блок-схема моста AXI в контексте матрицы ПЛИС и межсоединения L3 с HPS. Каждый интерфейс Master (M) и Slave (S) показан с шириной данных. Тактовый домен для каждого межсоединения указан в скобках.

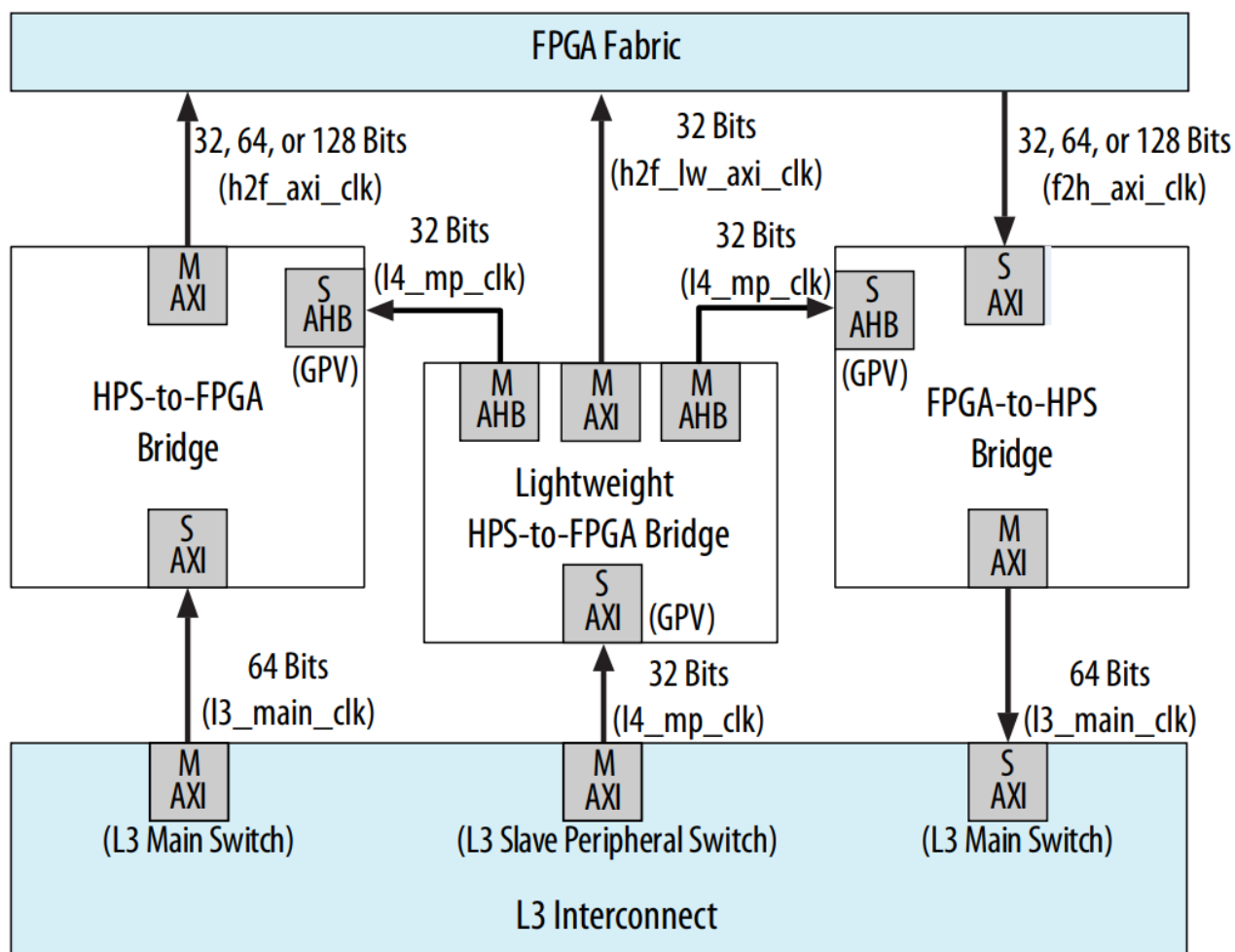


Рис. 2. Блок-схема моста AXI.

Мост HPS-FPGA управляется главным коммутатором уровня 3 (L3), а облегченный мост HPS-FPGA - ведомым периферийным коммутатором L3. Мост FPGA-HPS управляет главным коммутатором L3, позволяя любому мастеру, реализованному в матрице FPGA, получить доступ к большинству ведомых устройств в HPS.

Все три моста содержат глобальный регистр GPV. Регистр GPV управляет поведением моста. Существует возможность получить доступ к регистрам GPV всех трех мостов через облегченный мост HPS-FPGA.

Литература

1. Cyclone V FPGAs Support (<http://www.altera.com/literature/lit-cyclone-v.jsp>).
2. Кайденко В.Н., Кайденко Н.Н., Крылач О.Ф., Роскошный Д.В. Организация взаимодействия между HPS и FPGA на базе SoC технологий при создании телекоммуникационных устройств. Проблемы телекоммуникаций : 10-а Міжнар. наук.-техн. конф., 19-22 квіт. 2016р. : матеріали конф. – К., 2016. – С. 254–256.
3. RocketBoards.org by the contributing authors. All material on this collaboration platform is the property of the contributing authors (www.rocketboards.org).
4. Altera Cyclone V Device Handbook, Volume 3: Hard Processor System Technical Reference Manual (http://www.ee.ic.ac.uk/pcheung/teaching/E2_experiment/C5%20handbook%20v3.pdf).
5. Altera SoC Embedded Design Suite User Guide.